



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : **Ichiro YAMAMOTO, et al.**
Filed : **December 31, 2003**
For : **SEMICONDUCTOR DEVICE...**
Serial No. : **10/749,915**
Art Unit :
Confirmation No. :
Examiner :

Director of the U.S. Patent and
Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450

February 10, 2004

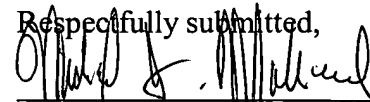
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby submits a certified copy of **JAPANESE** patent application no.
2003-416411 filed **December 15, 2003**, from which priority was claimed in a priority
claim filed on December 31, 2003.

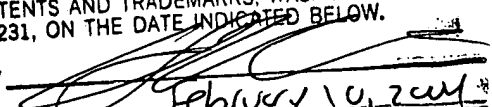
Any fee, due as a result of this paper may be charged to Deposit Acct. No. 50-
1290.

Respectfully submitted,


Michael I. Markowitz
Reg. No. 30,659

CUSTOMER NO.: 026304
DOCKET NO.: NECR 20.838 (100806-00246)
TELEPHONE: (212) 940-8800
FAX: (212) 940-8986

I HEREBY CERTIFY THAT THIS CORRESPONDENCE
IS BEING DEPOSITED WITH THE UNITED STATES
POSTAL SERVICE AS FIRST CLASS MAIL IN AN
ENVELOPE ADDRESSED TO: COMMISSIONER OF
PATENTS AND TRADEMARKS, WASHINGTON, D.C.
20231, ON THE DATE INDICATED BELOW.

BY 
DATE February 10, 2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年12月15日
Date of Application:

出願番号 特願2003-416411
Application Number:

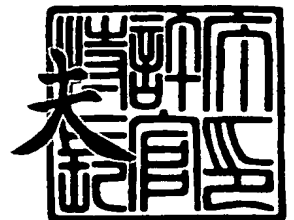
[ST. 10/C]: [JP 2003-416411]

出願人 NECエレクトロニクス株式会社
Applicant(s):

2004年 1月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3108535

【書類名】 特許願
【整理番号】 74820045
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/8283
H01L 27/092
H01L 29/43
H01L 29/78

【発明者】
【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内
【氏名】 山本 一郎

【発明者】
【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内
【氏名】 君塚 直彦

【特許出願人】
【識別番号】 302062931
【氏名又は名称】 NECエレクトロニクス株式会社

【代理人】
【識別番号】 100109313
【弁理士】
【氏名又は名称】 机 昌彦
【電話番号】 03-3454-1111

【選任した代理人】
【識別番号】 100085268
【弁理士】
【氏名又は名称】 河合 信明
【電話番号】 03-3454-1111

【選任した代理人】
【識別番号】 100111637
【弁理士】
【氏名又は名称】 谷澤 靖久
【電話番号】 03-3454-1111

【先の出願に基づく優先権主張】
【出願番号】 特願2003- 22764
【出願日】 平成15年 1月30日

【手数料の表示】
【予納台帳番号】 191928
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0215753

【書類名】 特許請求の範囲**【請求項 1】**

MOSトランジスタを有する半導体装置であって、前記MOSトランジスタの内のp型MOSトランジスタのゲート電極が下層から順に下層シリコン、シリコンゲルマニウム、上層シリコンの3層構造を有し、前記上層シリコンは、平均粒径が100nm以下の多結晶シリコンであることを特徴とする半導体装置。

【請求項 2】

前記上層シリコンが前記シリコンゲルマニウムを成膜した後、前記シリコンゲルマニウムの成膜温度よりも高い温度で成膜した多結晶シリコンであることを特徴とする請求項1記載の半導体装置。

【請求項 3】

前記p型MOSトランジスタのゲート電極がゲート電極の厚さ方向に略一定のボロン濃度分布を有することを特徴とする請求項1又は2記載の半導体装置。

【請求項 4】

半導体基板上に形成したゲート絶縁膜の上に順に下層シリコン、シリコンゲルマニウム、上層シリコンの3層構造を形成してMOSトランジスタのゲート電極を形成する半導体装置の製造方法であって、前記上層シリコンが前記MOSトランジスタの少なくともpMOS領域において、平均粒径が100nm以下の多結晶シリコンであることを特徴とする半導体装置の製造方法。

【請求項 5】

前記シリコンゲルマニウムを成膜した後、前記上層シリコンを前記シリコンゲルマニウムの成膜温度よりも高い温度で成膜することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項 6】

前記3層構造を形成した後、前記MOSトランジスタのうちp型MOSトランジスタ形成予定領域の前記3層構造に対して選択的にボロンを導入し、前記3層構造を熱処理することにより前記3層構造の厚さ方向に略一定のボロン濃度分布を形成することを特徴とする請求項4又は5記載の半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置及びその製造方法

【技術分野】

【0001】

本発明はPチャネル型MOSトランジスタを含む半導体装置に関し、特にゲート空乏化の抑制しゲート酸化膜の信頼性劣化を抑制できる製造方法に関するものである。

【背景技術】

【0002】

Pチャネル型MOSトランジスタ（以下、PMOSトランジスタ）及びNチャネル型MOSトランジスタ（以下、NMOSトランジスタ）を備える半導体装置では、ゲート電極の微細化、ゲート絶縁膜の薄膜化が進められている。この場合、ゲート電極の微細化に伴う短チャネル効果を抑制するために、PMOSトランジスタのゲート電極を構成するポリシリコンにB（ボロン）等のP型不純物を導入し、NMOSトランジスタのゲート電極を構成するポリシリコンにAs（砒素）やP（リン）等のN型不純物を導入することが行われる。通常、これら不純物の導入は、シリコン等の半導体基板上にゲート絶縁膜、ゲート電極を形成した後、半導体基板に不純物をイオン注入してソース・ドレインの各イオン注入層を形成するとともに、これと同時に不純物をゲート電極にイオン注入する。その上で、熱処理を行ってソース・ドレインにイオン注入した不純物を活性化してソース・ドレイン領域を形成するとともに、ゲート電極に注入した不純物を活性化する手法がとられている。

【0003】

しかしながら、PMOSトランジスタのゲート電極に導入したBはAsやPに比較して活性化し難いため、前述したソース・ドレイン領域に対する活性化処理ではゲート電極の底部、すなわちゲート絶縁膜との界面領域でのBの活性化が十分に行われなない。そのため、ゲート絶縁膜の界面におけるBの活性化濃度が低い状態となり、当該界面においてゲート電極中に空乏層が生じ、この空乏層によりゲートのしきい値が変動する等、PMOSトランジスタの特性の劣化が生じることになる。この場合、ゲート電極中でのBの活性化を十分に行うための熱処理を行うと、ソース・ドレイン領域における不純物の活性化が過度になり、浅いソース・ドレイン領域を形成することができなくなる。

【0004】

このような問題に対し、ゲート電極のポリシリコンにGe（ゲルマニウム）を注入することでBの活性化率を向上し、ゲート絶縁膜の界面におけるBの活性化濃度を高めて空乏層を抑制する技術が提案されている。例えば、特許文献1では、PMOSトランジスタのゲート電極を下から順にポリシリコンシード層、SiGe層、ポリシリコンシード層と同一条件の追加ポリシリコン層で構成した技術が記載されている。この場合のポリシリコンシード層の成膜は、チャンバ気圧を数Torr乃至大気圧で、温度を550乃至600℃に維持し、シランガスのようなソースガスを注入してポリシリコンを形成するCVD方法を使用する、と記載されている。

【0005】

【特許文献1】特開2002-305256号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

上記特許文献1で成膜される追加ポリシリコン層は、ポリシリコンシード層の成膜条件と同じであるため、ポリシリコン粒径がある程度大きくなっていると考えられる。従って、この後の工程で注入されるボロンを活性化熱処理でゲート電極内に拡散させる場合、縦方向に均一に分布せず、ゲート絶縁膜との界面近傍でボロン濃度が低くなる恐れがある。

【0007】

そこで、本発明の目的は、PMOSトランジスタのゲート電極中にGeを導入してBの活性化率を高めた半導体装置においても、ゲート電極の縦方向にボロンを均一に分布させ

ることのできる半導体装置とその製造方法を提供するものである。

【課題を解決するための手段】

【0008】

本発明の半導体装置は、MOSトランジスタを有する半導体装置であって、前記MOSトランジスタの内のp型MOSトランジスタのゲート電極が下層から順に下層シリコン、シリコンゲルマニウム、上層シリコンの3層構造を有し、前記上層シリコンは、平均粒径が100nm以下の多結晶シリコンであることを特徴とする。

【0009】

上記本発明の半導体装置において、前記上層シリコンが前記シリコンゲルマニウムを成膜した後、前記シリコンゲルマニウムの成膜温度よりも高い温度で成膜した多結晶シリコンである。

【0010】

上記本発明の半導体装置において、前記p型MOSトランジスタのゲート電極がゲート電極の厚さ方向に略一定のボロン濃度分布を有する。

【0011】

本発明の半導体装置の製造方法は、半導体基板上に形成したゲート絶縁膜の上に順に下層シリコン、シリコンゲルマニウム、上層シリコンの3層構造を形成してMOSトランジスタのゲート電極を形成する半導体装置の製造方法であって、前記上層シリコンが前記MOSトランジスタの少なくともpMOS領域において、平均粒径が100nm以下の多結晶シリコンであることを特徴とする。

【0012】

上記本発明の半導体装置の製造方法において、前記シリコンゲルマニウムを成膜した後、前記上層シリコンを前記シリコンゲルマニウムの成膜温度よりも高い温度で成膜する。

【0013】

上記本発明の半導体装置の製造方法において、前記3層構造を形成した後、前記MOSトランジスタのうちp型MOSトランジスタ形成予定領域の前記3層構造に対して選択的にボロンを導入し、前記3層構造を熱処理することにより前記3層構造の厚さ方向に略一定のボロン濃度分布を形成する。

【発明の効果】

【0014】

以上説明したように本発明は、ゲート電極の下層にGeを含む膜を有し、Geを含む膜の上に粒径の小さいポリシリコン膜を有しているので、ゲート電極中にドーピングされるボロンが、ソース／ドレイン電極の活性化熱処理によりゲート電極中に厚さ方向にほぼ均一に分布する。従って、Geの存在によりPMOSトランジスタのゲート電極に注入されたP型不純物の活性化率が改善されるのみならず、ゲート絶縁膜の界面での空乏層が抑制され、PMOSトランジスタの特性劣化が防止される。

【発明を実施するための最良の形態】

【0015】

(実施例1)

次に、本発明の実施形態を図面を参照して説明する。図1及び図2は本発明をPMOSトランジスタとNMOSトランジスタで構成されるCMOS型半導体装置に適用した実施形態を製造工程順に示す断面図である。以下、製造工程に従って説明する。

【0016】

先ず、図1(a)に示すように、P型シリコン基板1の表面にP型エピタキシャル層2を形成し、当該エピタキシャル層2のNMOSトランジスタ形成領域にPウェル3を、PMOSトランジスタ形成領域にNウェル4をそれぞれ形成する。また、NMOSトランジスタ形成領域とPMOSトランジスタ形成領域を包囲する領域に素子分離領域、例えば浅い溝型の絶縁領域であるSTI(Shallow Trench Isolation)5を形成する。その上で、NMOSトランジスタ形成領域及びPMOSトランジスタ形成領域の各ウェル3、4の表面に熱酸化によりゲート絶縁膜としてのSiO₂膜(シリコン

酸化膜) 6 を 10 nm 程度の厚さに形成する。次いで、前記ゲート絶縁膜 6 上にゲート電極 7 N, 7 P を形成する。図 3 (a) ~ (b) は前記ゲート電極 7 N, 7 P の製造工程を説明するための拡大断面図である。

【0017】

先ず図 3 (a) のように、前記ゲート絶縁膜 6 上に CVD 法により seed-Si 膜 7 1 を 3 ~ 20 nm の厚さに形成する。さらに、その上に CVD 法により Si と Ge の混合物である SiGe 膜 7 2 を 15 ~ 50 nm の厚さに形成する。ここで、SiGe 膜 7 2 における Si と Ge の混合割合は、Si : Ge = 70 ~ 85 : 15 ~ 30 程度に設定している。このとき、SiGe 膜 7 2 の下層に存在している前記 seed-Si 膜 7 1 によって seed-Si と SiGe との接着性が高められ、SiGe 膜 7 2 を所望の膜厚に均一に形成することが可能になる。仮に、seed-Si 膜 7 1 が存在していないと、ゲート絶縁膜 6 としての SiO₂ と SiGe との密着性が低いため、SiGe を形成しても粒状になってしまい、均一な SiGe 膜 7 2 ができなくなる。なお、seed-Si 膜 7 1 はアモルファスシリコン膜またはポリシリコン膜で形成することができる。

【0018】

さらに、前記 SiGe 膜 7 2 の上に CVD 法によりキャップシリコン膜 7 3 を 50 ~ 100 nm の厚さに形成する。このとき、キャップシリコン膜 7 3 は seed-Si 膜 7 1、SiGe 膜 7 2 よりも高い温度で形成したポリシリコン (多結晶シリコン) である。このキャップシリコン膜 7 3 に含まれるポリシリコンのサイズは、少なくとも pMOS 領域において Transmission Electron Microscopes (TEM) を用いて測定した場合の個々のポリシリコンの粒径 d の平均が 100 nm 以下となっていることが必要である。図 3 (a) においては、キャップシリコン膜 7 3 と SiGe 膜 7 2 のシリコン粒を模式化して描いている。

【0019】

ここで、上記の seed-Si 膜 7 1、SiGe 膜 7 2、キャップシリコン膜 7 3 を形成する際には、枚葉装置を用いてもよいし、またバッチ式装置を用いてもよい。具体的な形成条件としては

(1) 枚葉装置使用の場合

第 1 チャンバーにて温度 550 ~ 650 °C で SiH₄ または Si₂H₆ で seed-Si 膜 7 1 を、SiH₄ または Si₂H₆ および GeH₄ で SiGe 膜 7 2 を形成後、第 2 チャンバーにて温度 680 ~ 800 °C で SiH₄ または Si₂H₆ を用いてキャップシリコン膜 7 3 を形成する。

(2) バッチ装置使用の場合

温度 450 ~ 550 °C で SiH₄ または Si₂H₆ で seed-Si 膜 7 1 を、SiH₄ または Si₂H₆ および GeH₄ で SiGe 膜成長を成長し、その後炉内の温度を 600 ~ 650 °C に昇温して SiH₄ または Si₂H₆ でキャップシリコン膜 7 3 を形成する。

【0020】

以上により、ゲート電極 7 N, 7 P の下層膜としての seed-Si 膜 7 1 及び SiGe 膜 7 2 と、キャップシリコン膜 7 3 が形成される。しかる上で、図 3 (b) に示すように、前記キャップシリコン膜 7 3 の上に所要のパターンのフォトリソ膜 101 を形成し、このフォトリソ膜 101 をマスクにして前記最上層のキャップシリコン膜 7 3 から前記下層の seed-Si 膜に至る積層膜をエッチングし、PMOS トランジスタ及び NMOS トランジスタの各ゲート電極 7 N, 7 P を形成する。

【0021】

次いで、図 1 (b) のように、PMOS 形成領域をフォトリソ膜 102 で覆った状態で、前記 NMOS トランジスタ形成領域に N 型不純物、例えば P (リン) のイオン注入を行う。この P のイオン注入により NMOS トランジスタのゲート電極 7 N に P がイオン注入され、同時に当該ゲート電極 7 N を利用した自己整合法により NMOS トランジスタ形成領域の P ウェルに P がイオン注入され、ソース・ドレイン形成領域に P のイオン注入層 8 N が形成される。

【0022】

同様に、図1(c)のように、今度はNMOS形成領域をフォトリソ103で覆った状態で、前記PMOSトランジスタ形成領域にP型不純物としてB(ボロン)のイオン注入を行う。このBのイオン注入によりPMOSトランジスタのゲート電極7PにBがイオン注入され、同時に当該ゲート電極7Pを利用した自己整合法によりPMOSトランジスタ形成領域のNウェル4にBがイオン注入され、ソース・ドレイン形成領域にBのイオン注入層8Pが形成される。

【0023】

次いで、図2(a)のように、全面にSiO₂膜或いはSiN膜等の絶縁膜を所要の厚さに形成し、この絶縁膜を異方的にエッチングバックして前記各ゲート電極7N、7Pの側面にのみ残し、サイドウォール絶縁膜10を形成する。

【0024】

しかる上で、熱処理を行ってイオン注入により形成したPのイオン注入層8NとBのイオン注入層8Pの活性化を行い、Pウェル3内にN型ソース・ドレイン領域9Nを、Nウェル4内にP型ソース・ドレイン領域9Pを形成する。この活性化では、N型及びP型の各ソース・ドレイン領域9N、9Pが所望の深さよりも深くないように活性化のための熱処理が制御される。

【0025】

また、このソース・ドレイン領域9N、9Pの形成と同時に、図4にPMOSトランジスタのゲート電極7Pを拡大して示すように、キャップシリコン膜73にイオン注入されたBが活性化され、当該キャップシリコン膜73からSiGe膜72、さらに下層のseed-Si膜71のゲート絶縁膜6との界面領域にまで拡散されるBが活性化される。

【0026】

このとき、キャップシリコン膜73が粒径の小さい多結晶シリコンで形成されているため、上述のように制御された熱処理条件下でもイオン注入されたPとBは速やかにゲート絶縁膜6との界面まで拡散する。このとき、SiGe膜72中のGeの作用により前述のボロンの活性化率が高められる。同時に、キャップシリコン膜73のポリシリコンの平均粒径(TEMを用いて測定した場合の値)を100nm以下と小さくすることができるので、ボロンをseed-Si膜、SiGe膜、キャップシリコン膜の積層構造の厚さ方向に渡ってほぼ均一な分布とすることができる。特にゲート絶縁膜6との界面領域での活性化濃度が高くなり、当該界面における空乏層の発生が抑制され、PMOSトランジスタの特性が改善されることになる。

【0027】

続いて、図2(b)に示すように、全面にCo膜11をスパッタ法により所要の厚さに形成した後、熱処理を行い、NMOSトランジスタ及びPMOSトランジスタの各ソース・ドレイン領域9N、9Pの表面及び各ゲート電極7N、7Pのいずれにおいても、CoとSiが反応し、自己整合的にCoシリサイド膜、すなわちCoシリサイド膜12が形成される。

【0028】

その後は、図2(c)のように、シリサイド化されていないCo11をエッチング除去した後、全面に層間絶縁膜13を被覆し、前記ソース・ドレイン領域9N、9P等のCoシリサイド層12、あるいはゲート電極(または配線)7N、7P上のCoシリサイド層12に上層配線14に導通するコンタクト15を形成することでCMOS型半導体装置が完成されることになる。

【0029】

以上のように製造された半導体装置では、前記製造工程において説明したように、特にPMOSトランジスタのゲート電極7P中のキャップシリコン膜73のポリシリコン粒径を小さく抑えることにより、キャップシリコン膜73に注入されたボロンの下方への拡散を促進することができ、ゲート電極7P中のボロン濃度をほぼ均一とすることができる。このため、ボロン濃度をゲート電極とゲート絶縁膜6との界面で高くでき、ゲート電極の

空乏層を抑制してPMOSトランジスタの特性を改善することが可能になる。

【0030】

因みに、図5(a)は、PMOSトランジスタのゲート電極7Pにおいて、Bをイオン注入した活性化前の状態でのBとGeの各濃度分布を示す図である。また、図5(b)は同じPMOSトランジスタのゲート電極7Pに対して活性化を行ったときのBとGeの各濃度分布を示す図である。このように、活性化によりゲート電極7P中のボロン濃度の均一性が良く、seed-Si膜71とゲート絶縁膜6との界面領域でのボロンの活性化濃度が高められていることが判る。これによる効果を、図6に示すように、PMOSトランジスタのオン電流で比較した。左側のグラフは上述したように、上部Si膜をseed-Si膜と同じ条件で成膜した場合のオン電流、右側が上部Si膜をa-Si膜で成膜した場合のオン電流、中央が本発明の方法による場合である。本発明の方法によるPMOSトランジスタのオン電流が大幅に大きくなっていることがわかる。

【0031】

なお、本発明においてゲート電極及びソース・ドレイン領域に形成する金属サリサイド膜は、本実施形態のCoサリサイド膜に限られるものではなく、Tiサリサイド膜、Niサリサイド膜についても同様に実現できる。

【0032】

本発明は前記実施形態のようにPMOSトランジスタとNMOSトランジスタを含むCMOS型半導体装置に限られるものではなく、PMOSトランジスタのみで構成される半導体装置に適用することも可能である。この場合には、NMOSトランジスタの特性劣化を考慮する必要がなくなるため、特にSiGeにおけるGeの混合割合を増大してBの活性化率をさらに向上させる構成とすることも可能である。

【図面の簡単な説明】

【0033】

【図1】 本発明にかかる半導体装置を製造工程順に示す断面図である。

【図2】 図1に続く製造工程を示す断面図である。

【図3】 図1の工程におけるゲート電極の製造工程を示す拡大断面図である。

【図4】 製造工程途中におけるPMOSゲート電極のゲート幅方向の拡大断面図である。

【図5】 PMOSのゲート電極におけるBとGeの注入時と活性化後の各濃度分布図である。

【図6】 本発明の従って形成したPMOSトランジスタのオン電流を他の方法で製造したものと比較したグラフである。

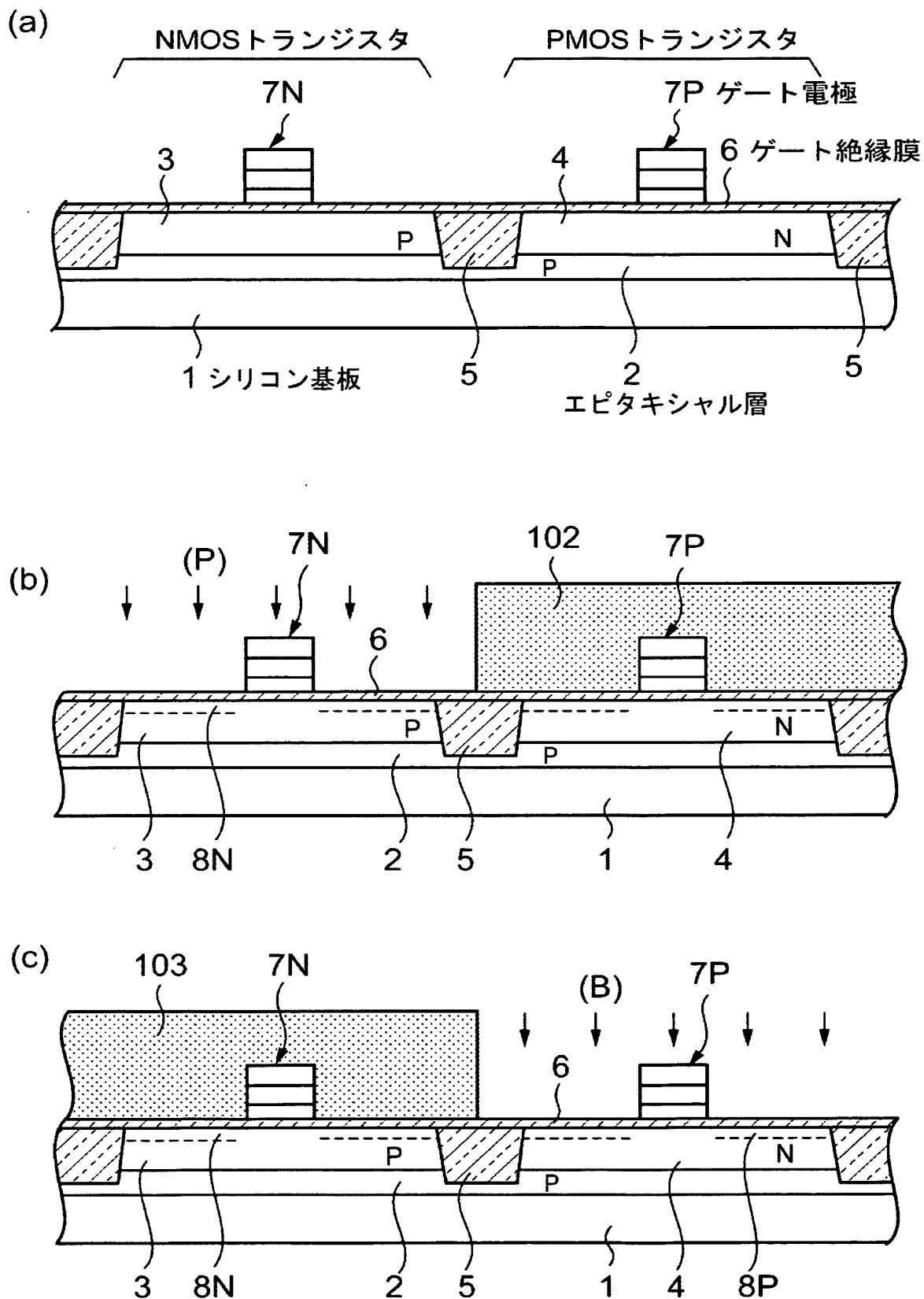
【符号の説明】

【0034】

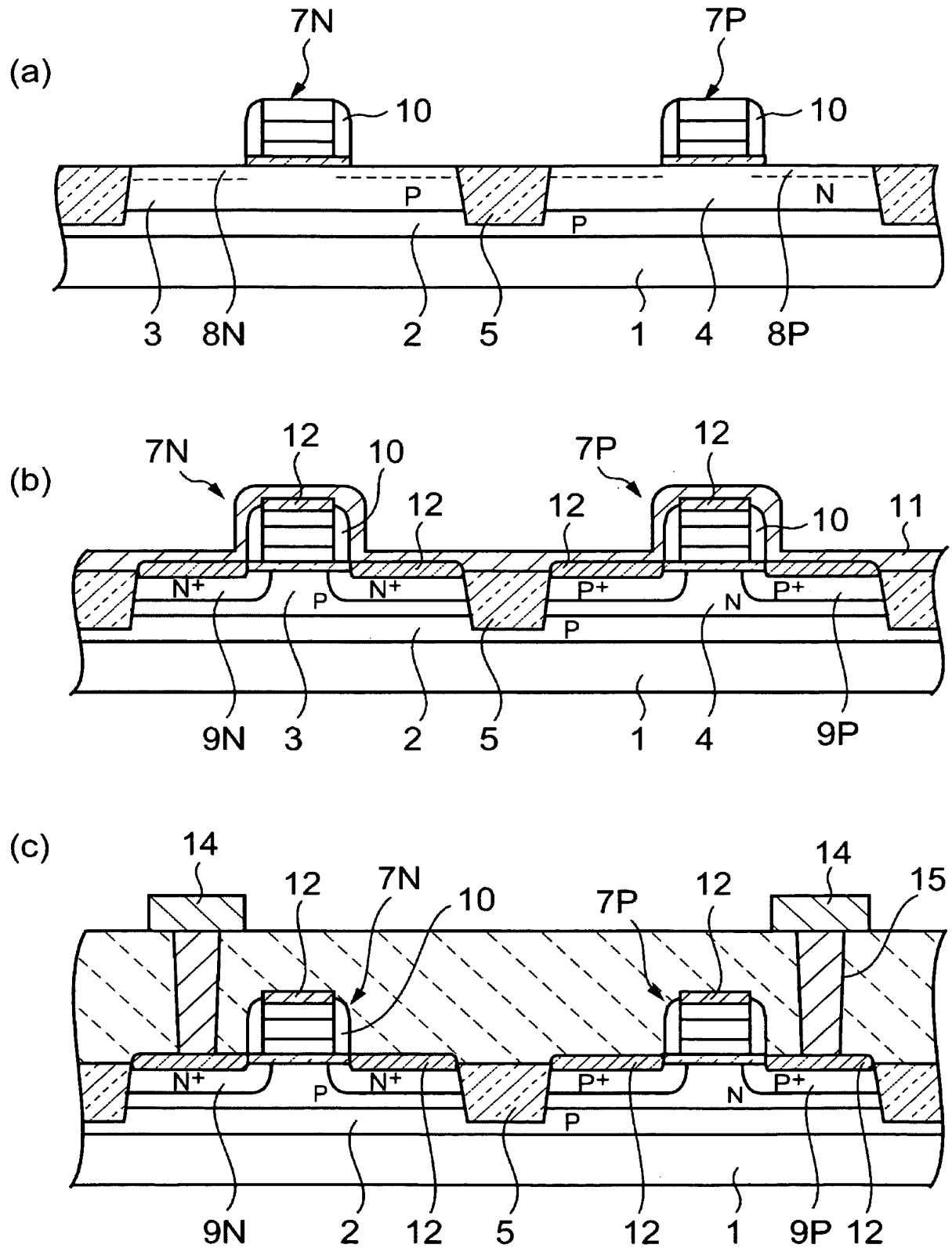
- 1 シリコン基板
- 2 エピタキシャル層
- 3 Pウェル
- 4 Nウェル
- 5 素子分離絶縁膜(STI)
- 6 ゲート絶縁膜
- 7, 7N, 7P ゲート電極
- 8N, 8P イオン注入層
- 9N, 9P ソース・ドレイン領域
- 10 サイドウォール絶縁膜
- 11 Co膜
- 12 Coサリサイド膜
- 13 層間絶縁膜
- 14 上層配線
- 15 コンタクト

- 7.1 seed-Si 膜
- 7.2 SiGe 膜
- 7.3 キャップシリコン膜
- d キャップシリコン膜 7.3 に含まれるポリシリコンの粒径

【書類名】 図面
【図 1】

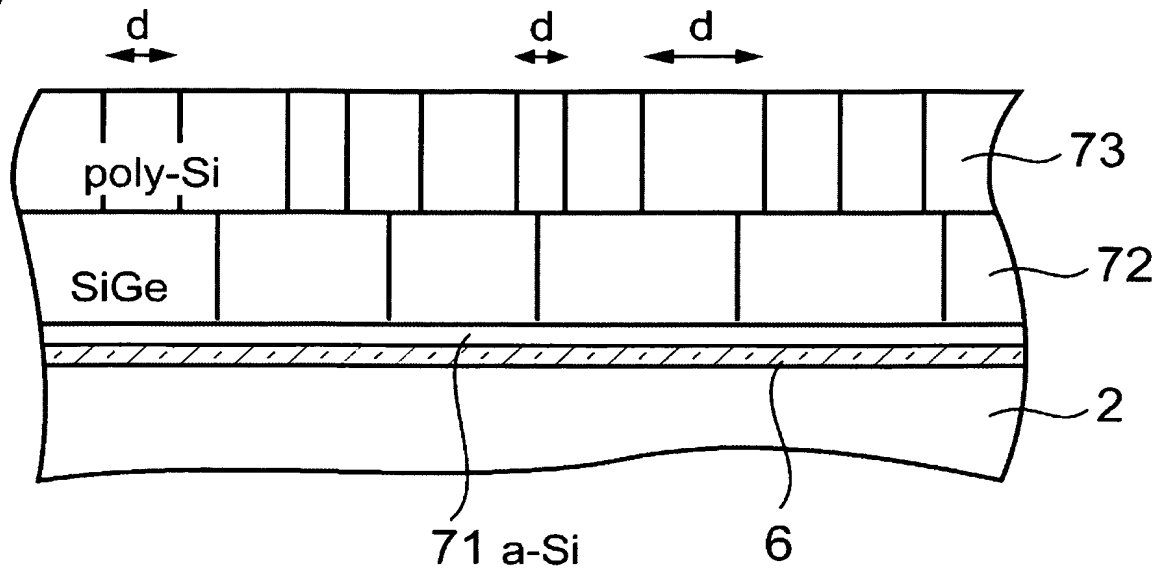


【図2】

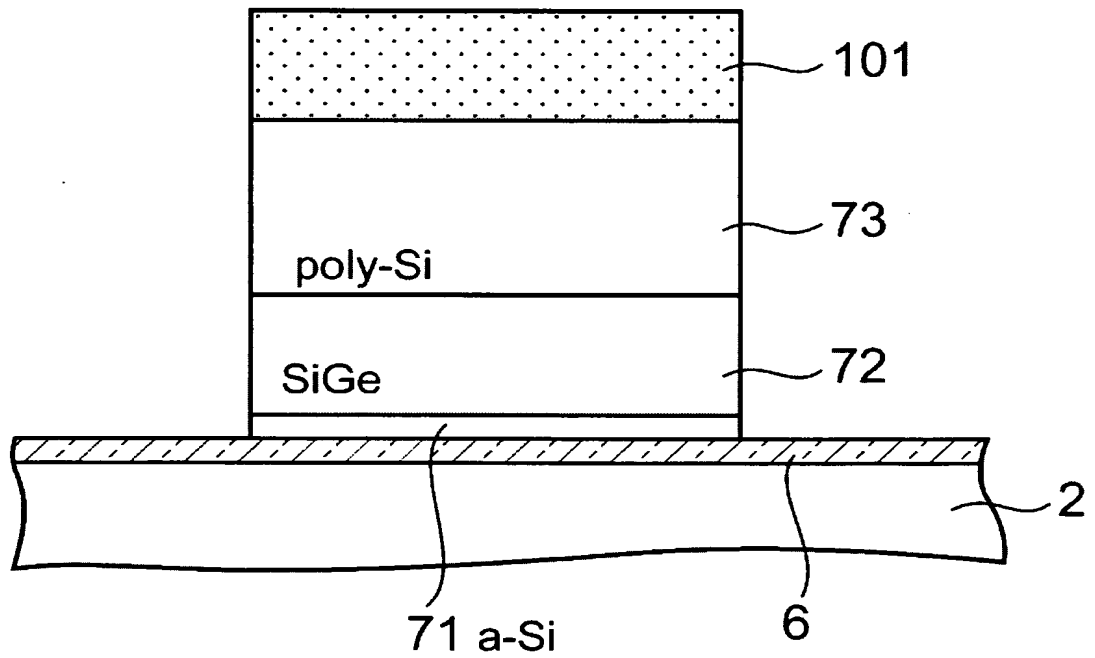


【図 3】

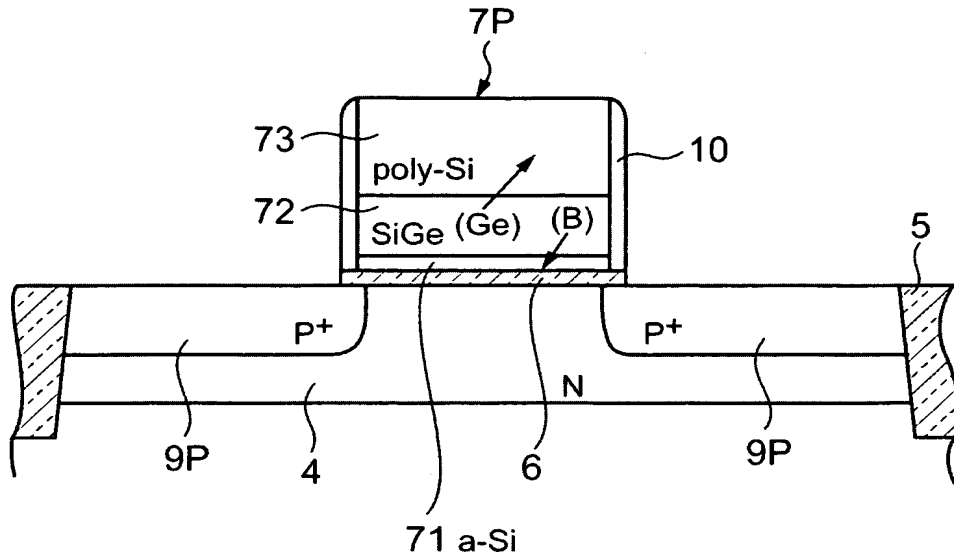
(a)



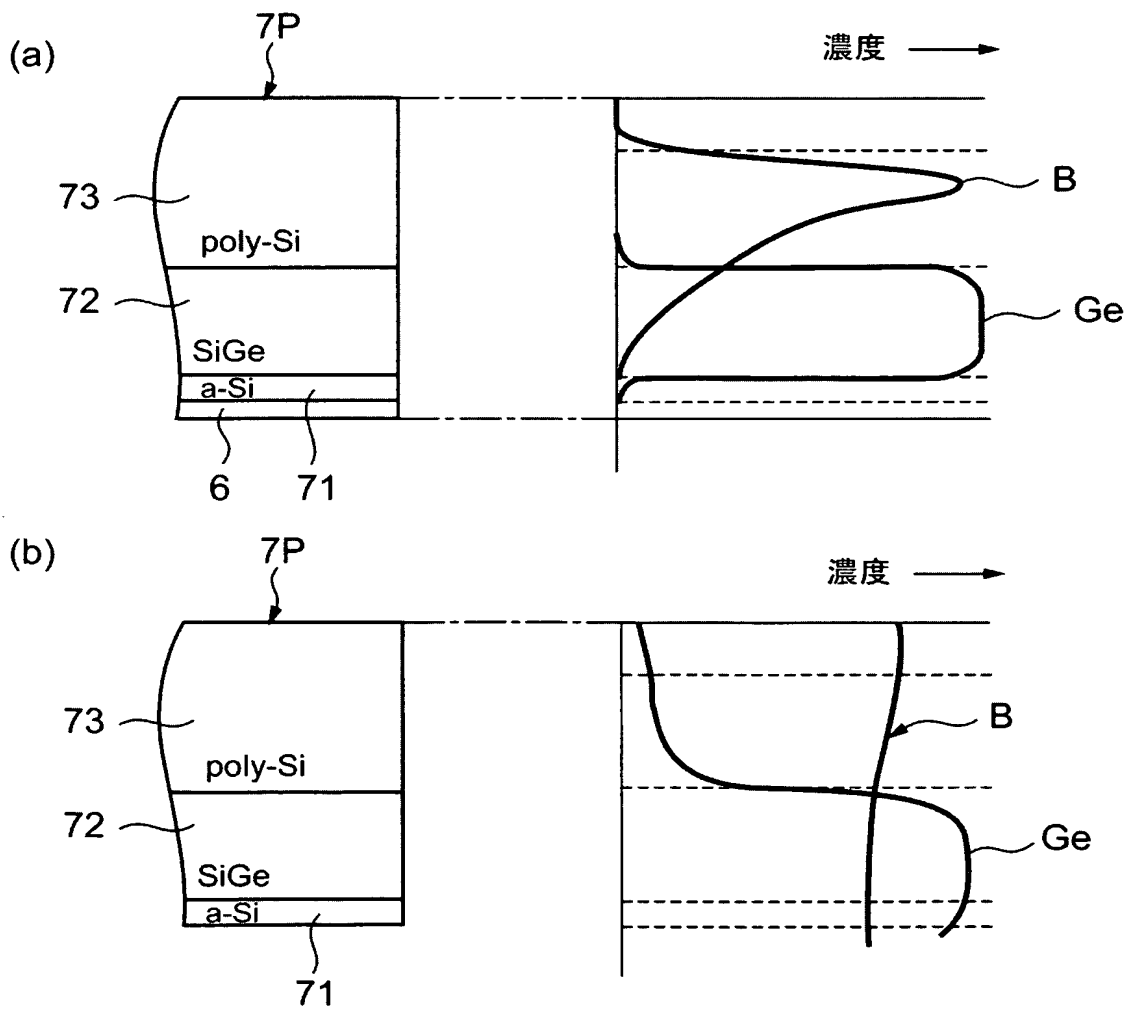
(b)



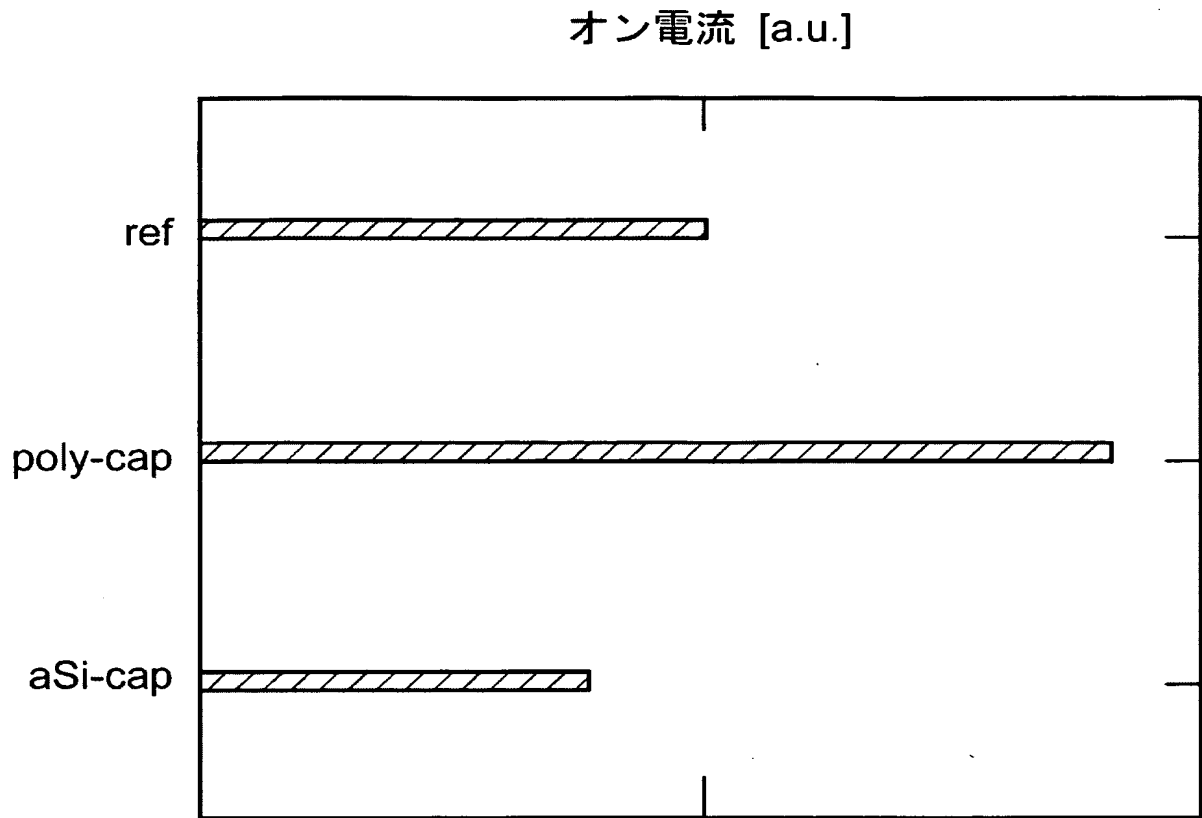
【図4】



【図5】



【図 6】



【書類名】 要約書

【要約】

【課題】 PMOS トランジスタのゲート電極中に Ge を導入して B の活性化率を高めた半導体装置において、ゲート電極の縦方向にボロンを均一に分布させることのできる技術が要求されている。

【解決手段】 ゲート電極 7 P の下層に Ge を含む膜 7 2 を有し、Ge を含む膜 7 2 の上に粒径の小さい（平均粒径 1 0 0 nm 以下の）ポリシリコン膜 7 3 を有しているので、ゲート電極 7 P 中にドーブされるボロンが、ソース／ドレイン電極の活性化熱処理によりゲート電極中に厚さ方向にほぼ均一に分布する。従って、Ge の存在により PMOS トランジスタのゲート電極に注入された P 型不純物の活性化率が改善されるのみならず、ゲート絶縁膜の界面での空乏層が抑制され、PMOS トランジスタの特性劣化が防止される。

【選択図】 図 4

特願 2 0 0 3 - 4 1 6 4 1 1

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社